

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 2 年 1 0 月 1 8 日

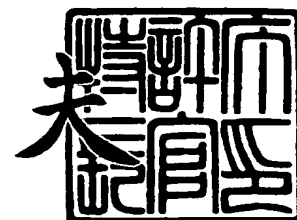
出 願 番 号
Application Number: 特 願 2 0 0 2 - 3 0 4 4 9 4
[ST. 10/C]: [J P 2 0 0 2 - 3 0 4 4 9 4]

出 願 人
Applicant(s): キヤノン株式会社

2 0 0 3 年 1 1 月 4 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 4676099

【提出日】 平成14年10月18日

【あて先】 特許庁長官殿

【国際特許分類】 G01R 31/08

【発明の名称】 電子機器

【請求項の数】 1

【発明者】

【住所又は居所】 東京都大田区下丸子 3 丁目 3 0 番 2 号 キヤノン株式会
社内

【氏名】 梶田 公司

【特許出願人】

【識別番号】 000001007

【氏名又は名称】 キヤノン株式会社

【代理人】

【識別番号】 100076428

【弁理士】

【氏名又は名称】 大塚 康德

【電話番号】 03-5276-3241

【選任した代理人】

【識別番号】 100112508

【弁理士】

【氏名又は名称】 高柳 司郎

【電話番号】 03-5276-3241

【選任した代理人】

【識別番号】 100115071

【弁理士】

【氏名又は名称】 大塚 康弘

【電話番号】 03-5276-3241

【選任した代理人】

【識別番号】 100116894

【弁理士】

【氏名又は名称】 木村 秀二

【電話番号】 03-5276-3241

【手数料の表示】

【予納台帳番号】 003458

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0102485

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電子機器

【特許請求の範囲】

【請求項 1】 機器全体を制御するメインプロセッサと特定の機能を実行するためのサブプロセッサとが一方向バスによってループ状に接続された構成を有する電子機器であって、

メインプロセッサから各サブプロセッサにテスト信号を送信するための、前記一方向バスとは異なる信号線と、

メインプロセッサから所定の PACKET データを前記一方向バスに送出し、その PACKET データが正常にメインプロセッサに戻ってくるか否かに応じて、この電子機器のいずれかの箇所故障があるかどうかを判定する判定手段と、

前記判定手段によって故障があると判定されたときに、前記信号線を介して各サブプロセッサにテスト信号を送信する送信手段と、

前記テスト信号の送信先のサブプロセッサからそのテスト信号に応じて前記一方向バスを介して転送されてくるテスト PACKET を正常に受信したか否かに基づいて、この電子機器の故障箇所を特定する故障箇所特定手段と、

を有することを特徴とする電子機器。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、電子機器の故障診断を行う技術に関する。

【0 0 0 2】

【従来の技術】

コンピュータ装置をはじめとして、データ処理速度の高速化に伴いユニット間、デバイス間でのデータ転送速度を高速化する必要が生じている。このためデバイス間の接続方法は read/write 信号による非同期なパラレルバス接続から基準クロックを使用して同期転送するパラレルバス方式（例えば P C I バス）に移行し、さらにはバス上の転送クロックを高速化するとともにバスの信号の数を減らすシリアルバス化が図られている。また、特開 2002-230536 号公報に開

示されているように、データの転送方向を双方向ではなく一方向に固定した専用のデータ転送方式も提案されている。シリアルバス化することで信号の本数を減らすことができデバイス間の物理的接続が容易になる。また、データ転送が一方通行になることでインターフェース回路のタイミング設計に余裕を持つことが可能となる。

【 0 0 0 3 】

【特許文献 1】

特開2002-230536号公報

【 0 0 0 4 】

【発明が解決しようとする課題】

このようにデバイス間バスのシリアル化、一方通行化はデータ転送速度の向上のためには重要な技術であるが、個々のデバイスがデイジーチェーン接続またはループ接続されていると接続箇所のどこか 1 カ所でも不具合を生じた場合には全てのデバイスに対してアクセスできなくなるため、不良があることしか判らず、専用の測定器を用いるなどの大がかりなテストをしなければ不良個所の特定ができないという不都合がある。

【 0 0 0 5 】

デバイス間の故障診断の方法として、装置の製造現場においてはバウンダリスキャン方式を用いることが一般的に行われているが、バウンダリスキャンは設置後の装置の自己診断には不向きである。すなわちバウンダリスキャンに必要なテストデータはデバイスと 1 対 1 に対応したものであり、デバイスが変更されたバージョンの場合はそのデバイスに適合したテストデータを使用する必要がある。そうすると、自己診断する場合にはデバイスのバージョンを調べて適合するテストデータを選択しなければならない。しかし、デバイスへのアクセスができない状態でデバイスのバージョンを調べることはできないため、必要な情報をあらかじめ記憶しておくなどの副次的な手段を講じておく必要がある。また、バウンダリスキャン用のテストデータは、大規模な L S I の場合はたとえば L S I 1 つあたり 1 0 0 K B 近いサイズとなるため、コストの厳しい組み込みシステムでテストデータをあらかじめ用意しておくことは現実的ではない。

【0006】

そこで、本発明は、複数のプロセッサが一方向バスによってループ状に接続された構成を有する場合にも、容易にその構成の故障個所を特定できる電子機器を提供することを目的とする。

【0007】**【課題を解決するための手段】**

本発明の電子機器は、機器全体を制御するメインプロセッサと特定の機能を実行するためのサブプロセッサとが一方向バスによってループ状に接続された構成を有する電子機器に係り、メインプロセッサから各サブプロセッサにテスト信号を送信するための、前記一方向バスとは異なる信号線を有している。そして、メインプロセッサからそのメインプロセッサ自身宛の PACKET データを前記一方向バスに送出し、その PACKET データが正常にメインプロセッサに戻ってくるか否かに応じて、この電子機器のいずれかの箇所で故障があるかどうかを判定する判定手段、前記判定手段によって故障があると判定されたときに、前記信号線を介して各サブプロセッサにテスト信号を送信する送信手段、前記テスト信号の送信先のサブプロセッサからそのテスト信号に応じて前記一方向バスを介して転送されてくるテスト PACKET を正常に受信したか否かに基づいて、この電子機器の故障個所を特定する故障個所特定手段、を有することを特徴とする。

【0008】**【発明の実施の形態】**

以下、図面を参照して本発明の好適な実施形態について詳細に説明する。

【0009】**(実施形態 1)**

図 1 は、本発明に係る電子機器としてのデジタルカラー複写機の構成を示す図である。

【0010】

同図において、101 はこの複写機の処理全体を統括的に制御するメインプロセッサ (MAIN) であり、102 は MAIN 101 の主メモリとして機能するシンクロナスダイナミックメモリ (RAM)、103 はブートアップ用プログラ

ム等を記憶するリードオンリーメモリ（ROM）、104は制御プログラム等を記憶するハードディスク（HD）である。

【0011】

105はEthernet（登録商標）に準拠したローカルエリアネットワーク（LAN）、106は画像データのプリンタ107への出力機能を実行する画像出力プロセッサ（VO）、107はプリンタユニットである。

【0012】

また、108は画像の回転、拡大縮小、色味の修正などを行う画像処理プロセッサ（IP）、109はIP108における画像処理用の主メモリとして機能するシンクロナスダイナミックメモリ（RAM）、110はスキャナユニット111からの画像データ入力機能を担う画像入力プロセッサ（VI）、111はスキャナユニットである。

【0013】

MAIN101に対し、VO106、IP108、VI110はそれぞれ、上記したような特定の機能を実行するサブプロセッサである。MAIN101、VO106、IP108、VI110の間は、一方向のシリアルバス（以下、単に「シリアルバス」ともいう。）によってループ状に接続され、各プロセッサ間でデータ伝送が行われる構成である。具体的には、図示のように、MAIN101－VO106間は、信号がMAIN101からVO106に向かうシリアルバス112aによって接続され、VO106－IP108間は、信号がVO106からIP108に向かうシリアルバス112bによって接続され、IP108－VI110間は、信号がIP108からVI110に向かうシリアルバス112cによって接続され、VI110－MAIN101間は、信号がVI110からMAIN101に向かうシリアルバス112dによって接続されている。

【0014】

本実施形態においては、さらに、MAIN101から各サブプロセッサ、すなわちVO106、IP108、VI110にそれぞれ、後述するテスト信号を送信するための信号線113a、113b、113cが接続されている。これらの信号線は、上記のシリアルバスとは独立に接続されたものである。

【0015】

上記のような構成より、MAIN101はRAM102上に保持される画像データをパケットデータに変換してVO106に転送することにより、プリンタ107で出力して画像形成を行うことができる。またRAM102上に保持される画像データをIP108に転送して画像処理することで画像の回転、拡大縮小、色味の修正などを行うことができる。またVI110で受信したスキャナ111のスキャン画像データを受け取り、RAM102上に格納することもできる。また、MAIN101はLAN105を通じてネットワーク上のコンピュータなど他の装置と通信することもできる。

【0016】

MAIN101、VO106、IP108、VI110はそれぞれ大規模集積回路(VLSI)であり、以下、各々の詳しい構成を説明する。

【0017】

MAIN101は図2に示すような内部構成を有する。

【0018】

201はCPU、202はクロスバースイッチ(XB)、203はEthernetの物理層と接続するための物理層インターフェース(PHY)、204はローカルエリアネットワークの通信を行うLANコントローラ(LANC)、205はメモリコントローラ(MC)、206はシリアルバス出力インターフェース(SBO)、207はシリアルバス入力インターフェース(SBI)、208はハードディスクコントローラ(HDC)、209は入出力ポート(IO)、210は割り込みコントローラ(IC)である。

【0019】

CPU201は、ROM103およびRAM102に保持されているプログラムコードを実行して装置全体の制御を行う。ROM103にはブートアップ用プログラムが格納されており、装置が起動したときはCPU201はROM103の内容を実行開始する。ブートアップ用プログラムはHD104に格納されている制御プログラムをRAM102にロードして同プログラムにジャンプすることにより制御プログラム実行を開始する。

【0020】

XB202はMAIN101の内部の各ユニット間のデータ転送を担当するユニットであり、各ユニットの割り当てられているアドレス空間に従ってデータを転送する。また複数のユニットから同時にアクセスが行われた場合の調停機能も有する。

【0021】

LANC204、PHY203は、ネットワークを経由して他の装置と通信する機能を持つ。MC205はRAM102、ROM103へのアクセスを制御する。SBO206はシリアルバスの出力を担当するインターフェース回路であり、RAM102に格納されているデータを所定のケット形式に変換して送信する。SBI207はシリアルバス入力インターフェースであり、受信したケットデータを内部データに変換して所定のユニットに転送する。

【0022】

HDC208はHD104の入出力を行うための制御回路であり、例えばUltraDMA方式によりハードディスクを制御するものである。HD104は、CPU201が実行するプログラムデータを格納するほか、RAM102上に記憶されている画像データを保存するなどの機能を受け持つ。IO209は入出力ポートであり、本実施形態ではTEST1、TEST2、TEST3の3つの出力ポートが設けられ、それぞれ信号線113a、113b、113cを介して伝送される。これらの出力ポートはCPU201からの設定により論理レベルをH/Lに設定することができる。

【0023】

IC210はMAIN101内部の割り込みを処理するユニットであり、各部のユニットから発生した割り込みおよびSBI207に受信された割り込みパケットの情報を集約してCPU201に通知するものである。

【0024】

図3は、VOプロセッサ106の構成を示す図である。

【0025】

同図において、301はシリアルバス入力インターフェース(SBI)、30

2はシリアルバス出力インターフェース(SBO)、303はパケットインタープリタ(PI)、304はプリンタ用画像処理ユニット(PIP)、305はプリンタ出力インターフェース(PRC)、306はシリアル通信ユニット(UART)、307は割り込みコントローラ(IC)である。

【0026】

SBI301、SBO302は上記したMAIN101に内蔵されるものと基本的に同じ働きである。PI303は、SBI301を介してシリアルバス102aから受信されたパケットデータが何であるか判断するユニットであり、後に述べるがコマンドパケット／データパケット／割り込みパケットの別を判断する。またPI303は、受信したパケットデータがこのVO106に対するものかどうかを判定し、さらにはVO106の内部のユニットに対するものかどうかも判断する。PI303は受信したパケットデータが他のプロセッサに対するパケットであった場合はすぐにSBO302からシリアルバス102bに送出して次のユニット(すなわちIP108)に送信する。

【0027】

受信したパケットがコマンドパケットでVI301内部のユニットに対するコマンドである場合は、各ユニットのレジスタのREAD／WRITEを実行する。またデータパケットであってPIP303へのデータである場合はデータの中身の画像データをPIP304へ転送する。PIP304は受け取った画像データをプリンタ107での出力に適したデータに変換し、PRC305でプリンタへデータを転送して印字動作を実行する。

【0028】

PIP304はRGB画像を受け取った場合はCMYKの色データに変換するほか、プリンタの特性を補正するための γ カーブ変換機能などを持っている。PRC305は画像データをプリンタユニット107の動作速度に変換して出力する機能を有する。UART306はプリンタユニット107との通信を受け持つユニットであり、プリンタユニット107の状態を検出したり印字動作を指示したりするものである。

【0029】

307は割り込みコントローラ（IC）でありVOプロセッサ内部の割り込み要因を検出してPI303に割り込みパケットの生成を指示する。生成された割り込みパケットはSBO302を経由して次のプロセッサへ送信される。ICの割り込み要因はコマンドパケットにより解除やマスクすることが可能である。ここでIC307は、MAIN101からのTEST1信号を受け取ると、PI303に後述するテスト用割り込みパケットの生成を指示する。

【0030】

図4は、画像処理プロセッサIP108の構成を示した図である。

【0031】

401はシリアルバス入力インターフェース（SBI）、402はシリアルバス出力インターフェース（SBO）、403はパケットインタープリタ（PI）、404は割り込みコントローラ（IC）、405は解像度変換ユニット（RSC）、406はメモリコントローラ（MC）、407は二値化ユニット（BI）、408は回転ユニット（ROT）である。

【0032】

SBI401、SBO402、PI403の機能はそれぞれ、上記したVI106のものと同様の機能を有する。PI403は受け取ったパケットデータがコマンドパケットであってIP108内部のユニットに対するものであれば、各部ユニットのレジスタのREAD／WRITEを行い、また、データパケットであってIP108内部のユニットに対するものであった場合は、そのユニットに対してデータを受け渡し、ユニットで処理されて戻ってきたデータをSBO402から送信する。

【0033】

RSC405は、データの解像度を変換することで拡大・縮小を行うものである。MC406はRAM109へのアクセスを制御するユニットであり、IP内部のユニットがワーク領域としてRAM109を使用することを可能とするものである。

【0034】

BI407は多値データをハーフトーン処理して二値データに変換する機能を

持つ。この機能は主としてスキャンした画像を二値化してコンピュータに転送する際に使用されるものである。

【0 0 3 5】

R O T 4 0 8 は画像回転を実行するものであり、入力された画像データを 9 0 度単位で回転させて新しいパケットを生成する機能を持っている。

【0 0 3 6】

I C 4 0 4 は I P 1 0 8 内部で生じる割り込み要因を検出して P I 4 0 3 に割り込みパケットの生成を指示する。ここで、I C 4 0 4 は、M A I N 1 0 1 からの T E S T 2 信号を受け取ると、P I 4 0 3 に後述するテスト用割り込みパケットの生成を指示する。

【0 0 3 7】

図 5 は、V I プロセッサ 1 1 0 の構成を示す図である。

【0 0 3 8】

5 0 1 はシリアルバス入力インターフェース (S B I)、5 0 2 はシリアルバス出力インターフェース (S B O)、5 0 3 はパケットインタープリタ (P I)、5 0 4 はスキャナ入力インターフェース (S C C)、5 0 5 はシリアル通信コントローラ (U A R T)、5 0 6 は割り込みコントローラ (I C) である。

【0 0 3 9】

S B I 5 0 1、S B O 5 0 2、P I 5 0 3、I C 5 0 6 はそれぞれ、上記の V O プロセッサ 1 0 6 におけるものと同様の機能を有する。S C C 5 0 4 はスキャナ 1 1 1 から送られてくる画像データを受信して P I 5 0 3 に受け渡すインターフェースである。P I 5 0 3 は受け取ったデータをデータパケットに変換して S B O 5 0 2 から送信する。また U A R T 5 0 5 はスキャナユニット 1 1 1 との通信を受け持つものである。I C 5 0 6 は、M A I N 1 0 1 からの T E S T 3 信号を受け取ると、P I 5 0 3 に後述するテスト用割り込みパケットの生成を指示する。

【0 0 4 0】

次にシリアルバスの構成を簡単に説明する。図 6 に、上記した各プロセッサにおける S B O とそのプロセッサの次のプロセッサの S B I とを接続するシリアル

バスの構成を示す。

【0 0 4 1】

プロセッサ内部はCLK 6 0 (6 0 MHz) に同期して6 4 ビット幅のデータがS B Oに送られてくる。S B Oはクロックを8 倍のCLK 4 8 0 (4 8 0 MHz) に変換するとともに、データの幅を8 ビット単位でシリアル化して送信する。すなわちクロックは6 倍になり、データ幅は1 / 6 になるのでデータ転送速度自体はプロセッサ内部とシリアルバス上で同等である。S T A R T信号はパケットデータの先頭を示す信号である。

【0 0 4 2】

S B IはS T A R T信号を検出するとCLK 4 8 0 に同期してDATAを取り込み、内部で6 0 MHzのCLK 6 0 に同期する6 4 ビットのデータに戻してプロセッサ内部に転送する。同図においてW A I T信号は何らかの要因で一時的にS B Iがパケットデータを受け取れない状態になったときにアサートされる信号であり、W A I T信号がアサートされている間はS B Oは出力を停止する。S B O、S B IはW A I T信号を制御する間にバッファオーバーフローが生じないだけのバッファを内蔵している。

【0 0 4 3】

次に、パケットデータの形式について説明する。図7 Aはデータパケットの構造を示す図、図7 Bはコマンドパケットの構造を示す図、図7 Cは割り込みパケットの構造を示す図である。いずれのパケットにおいても、先頭の1 6 バイトがパケットの属性を表すヘッダー部であり、その後にデータ部がつながる構造となっている。

【0 0 4 4】

図7 Aのデータパケットのヘッダーは、図示のように、先頭からパケットタイプ、チップID、イメージタイプ、ジョブID、処理命令、データ長で構成される。

【0 0 4 5】

パケットタイプがパケットデータの形式が何かを識別するものであり、例えば0 0 Hがデータパケット、0 1 Hがコマンドパケット、0 2 Hが割り込みパケッ

トであることを示す。

【0 0 4 6】

チップ I D はそのパケットデータがどのプロセッサに対するパケットであるかという宛先を示すものである。チップ I D は個々のプロセッサにそれぞれ別の番号が設定されているため、それぞれのプロセッサはこの属性を見ることにより自分宛のパケットデータかどうかを判断することができる。

【0 0 4 7】

イメージタイプはデータパケットの中に含まれている画像データの形式を表す属性であり、0 0 H は R G B 2 4 ビットのカラー画像、0 1 H は白黒 8 ビット画像、0 2 H は Y U V カラー画像、というように定義されている。

【0 0 4 8】

ジョブ I D は大きなデータを複数パケットデータに分割して処理を行う際に同一のデータであることを識別できるよう、同じデータに対して同じジョブ I D を割り振る。

【0 0 4 9】

処理命令は各プロセッサの内部のどのユニットにどのような処理を行わせるかを規定する属性であり、たとえば I P 1 0 8 で解像度変換を行わせる場合には、ここに R S C 4 0 5 のユニット番号と処理モードを指定することにより、所定の動作を実行する。

【0 0 5 0】

データ長はヘッダーの後ろに続く実際のデータの長さを表すフィールドである。データパケットのデータ長は 1 6 バイトの整数倍で構成されるため、余った部分はパディングとして 0 0 H を詰めて 1 6 バイトの倍数になるように各プロセッサの S B O が処理を行う。

【0 0 5 1】

図 7 B に示すコマンドパケットの場合、パケットタイプは先に説明したとおり 0 1 H であり、次のチップ I D もデータパケットの場合と同じ意味を持つ。次のコマンドタイプ (C M D T Y P E) 、コマンド番号 (C M D N U M) のフィールドでそのプロセッサに対するコマンドを指示する。C M D T Y P E は 0 0 H で W R I T E 、 0 1 H

で R E A D を実行する。C M D N U M はデータ部に存在するコマンドの数を表すものである。この数に対応してデータ部には R E A D / W R I T E すべきレジスタのアドレスとデータの対が書き込まれる。コマンド部は 1 6 バイトの整数倍であり、それに満たない部分には S B O により 0 0 H がパディングされる。

【 0 0 5 2 】

図 7 C に示す割り込みパケットは、パケットタイプ = 0 2 H で、割り込みを生じたプロセッサのチップ I D と割り込みを発生したユニット I D がヘッダーに含まれている。割り込みパケットを処理するのは M A I N プロセッサ 1 0 1 のみであるため、ヘッダーのチップ I D は宛先を示すものではなく、割り込みを生じたプロセッサを示すものである。データ部には通常は割り込み内容を示す各ユニットの要因レジスタのフィールドがコピーされている。割り込みデータ部は 1 6 バイトの整数倍であり、それに満たない部分には S B O により 0 0 H がパディングされる。

【 0 0 5 3 】

本実施形態におけるデジタルカラー複写機の構成は概ね上記したとおりである。次に本実施形態における電子機器としてのデジタルカラー複写機の故障診断処理を詳細に説明する。

【 0 0 5 4 】

図 9 は、本実施形態における故障診断処理を示すフローチャートである。このフローチャートに対応するプログラムは H D 1 0 4 に記憶された生後プログラムに含まれ、上述したとおり R A M 1 0 2 にロードされ M A I N 1 0 1 における C P U 2 0 1 によって実行されるものである。

【 0 0 5 5 】

まず、M A I N プロセッサ 1 0 1 が自身宛のコマンドパケットを S B O 2 0 6 からシリアルバス 1 1 2 a に送出する（ステップ S 1）。かわりに、シリアルバスループ上に存在しないチップ I D を設定したコマンドパケットを送信するようにしてもよい。回路接続に異常がなければ、他のプロセッサはいずれも自分自身のチップ I D と異なるパケットデータと認識して、そのパケットデータをそのまま次のプロセッサに渡すことになるので、M A I N プロセッサ 1 0 1 の S B I 2

07にそのパケットデータが戻ってくるはずである。

【0056】

そこで、送信したパケットデータが正常に戻ってきたか否かを判定し（ステップS2）、正常に戻ってくれば「異常なし」と判定する。一方、正常に戻ってこなかったか、あるいはパケットデータが壊れていた場合は、いずれかのプロセッサが故障しているか、あるいはプロセッサ間を接続するシリアルバスの異常によるものと推測される。この場合にはステップS3以降の処理によって、それぞれのプロセッサに対して診断のための割り込みパケットの生成を行わせ、各プロセッサ及びプロセッサ間の接続のテストを行う。

【0057】

具体的には、まず、MAIN101を始点とするシリアルバスループの最下流に位置するVIプロセッサ110に対して、IOポート209のTEST3信号をアサートする（ステップS3）。

【0058】

VI110の割り込みコントローラIC506は、このTEST3信号を受け取ると、あらかじめ決められたテスト用割り込みパケット（以下、単に「テストパケット」ともいう。）を生成するようPI503に指示することは先述したとおりである。その結果、VIはそのテストパケットをシリアルバス112dに送出することになる。

【0059】

テスト用割り込みパケットのデータ構造例を図8に示す。割り込みパケットの構造自体は図7Cに示したものと同様であるが、データ部には実際の割り込みに関連するデータではなくてシリアルバス上のデータ信号8ビットに対するテストデータが埋め込まれている。すなわち、データ信号の8ビットに対してそれぞれの信号が1/0に変化することと、データ信号同士がショートしていないことが判断できるテストデータでもってデータ部を構成している。

【0060】

MAIN101は、VI110からテストパケットを正常に受信したか否か（例えば、所定時間内に受信したか否か）を判断する（ステップS4）。ここで、

所定時間内にテストパケットが受信されなかったときは、V I 1 1 0 または、M A I N 1 0 1 - V I 1 1 0 間の接続に異常があると判断することができる。一方、テストパケットが受信されたときは、割り込みコントローラ 2 1 0 のレジスタに割り込みパケットのチップ I D、ユニット I D が格納され、データ部は R A M 1 0 2 の所定のアドレスに格納されたのち、割り込みが C P U 2 0 1 に通知される。C P U 2 0 1 は割り込みパケットの受信割り込みを受けたならば、割り込みパケットを発生したプロセッサのチップ I D、ユニット I D、データ部のデータを確認することで、V I 1 1 0 からテスト用割り込みパケットが正常に送られてきたことを確認し、少なくとも V I プロセッサ 1 1 0 - M A I N プロセッサ 1 0 1 間の接続および V I プロセッサの動作には異常がないことを確認することができる。この場合処理は次のステップ S 5 に進む。

【 0 0 6 1 】

ステップ S 5 では、I O ポート 2 0 9 の T E S T 2 信号をアサートし、それに応じて I P 1 0 8 より転送されてくるであろうテストパケットを所定時間内に受信したか否かを判定する（ステップ S 6）。ここで、所定時間内にテストパケットが受信されなかったときは、I P 1 0 8 の動作または、V I 1 1 0 - I P 1 0 8 間の接続に異常があると判断することができる。一方、テストパケットが受信されたときは、I P 1 0 8 の動作または、V I 1 1 0 - I P 1 0 8 間の接続には異常がないことが確認でき、次のステップ S 7 に進む。

【 0 0 6 2 】

ステップ S 7 では、I O ポート 2 0 9 の T E S T 1 信号をアサートし、それに応じて V O 1 0 6 より転送されてくるであろうテストパケットを所定時間内に受信したか否かを判定する（ステップ S 8）。ここで、所定時間内にテストパケットが受信されなかったときは、V O 1 0 6 または、I P 1 0 8 - V O 1 0 6 間の接続に異常があると判断することができる。一方、テストパケットが受信されたときは、M A I N 1 0 1 の動作または、V O 1 0 6 - M A I N 1 0 1 間の接続に異常があると推定できる。

【 0 0 6 3 】

以上説明した故障診断処理によれば、メインプロセッサから専用の信号線を介

して伝送されるテスト信号に応じて各サブプロセッサより一方向のシリアルバスを介して転送されてくるであろうテスト packets を所定時間内に受信したか否かに応じて、この電子機器の故障箇所が特定される。なお、サブプロセッサにテスト信号を送出する順序はどのようにしてもよい。ただし、上述したように、メインプロセッサを始点とするバスループの最下流に位置するサブプロセッサから順にテストしていくようにすれば、効率よく故障箇所を特定することができる。

【 0 0 6 4 】

(実施形態 2)

上述した実施形態 1 では、各サブプロセッサは、メインプロセッサから専用の信号線を介して伝送されてくるテスト信号に応じてテスト packets をシリアルバスに送出する構成であった。これは、メインプロセッサからのテスト信号とサブプロセッサが送出するテスト packets との関係を逆にして、各サブプロセッサは、メインプロセッサからシリアルバス送出されたテスト packets に応じて、専用の信号線を介してテスト信号をメインプロセッサに発する構成にしても同様の効果が得られる。

【 0 0 6 5 】

以下、図面を参照してこの構成について詳しく説明する。各図面中、実施形態 1 で説明した各部に対応する部分には同一符号を付してその説明を省略し、以下では対応する図面との相違点についてのみ説明する。

【 0 0 6 6 】

図 1 0 は、本実施形態におけるデジタルカラー複写機の構成を示す図であり、図 1 に対応するものである。図 1 における信号線 1 1 3 a、1 1 3 b、1 1 3 c はそれぞれ、MAIN 1 0 1 から対応するサブプロセッサに向かう信号線であったが、図 1 0 の信号線 1 0 0 a、1 0 0 b、1 0 0 c は逆に、対応するサブプロセッサから MAIN 1 0 1 に向かう信号線であることに留意されたい。

【 0 0 6 7 】

図 1 1 は、本実施形態における MAIN 1 0 1 の内部構成を示す図であり、図 2 に対応するものである。IO 2 0 9 には TEST 1、TEST 2、TEST 3 の 3 つの入力ポートが設けられている。

【0068】

図12は、本実施形態におけるVOプロセッサ106の構成を示す図であり、図3に対応するものである。図3におけるIC307は、TEST1信号を受け取ると、PI303にテストパケットを生成するよう指示するものであったが、図12におけるVO106には入出力ポート（IO）308が設けられ、このIO308が、テストパケットを受け取ったPI303からの指示に応じてTEST1信号をアサートするように動作する。

【0069】

図13は、本実施形態におけるIP108の構成を示す図であり、図4に対応するものである。図4におけるIC404は、TEST2信号を受け取ると、PI403にテストパケットを生成するよう指示するものであったが、図13におけるIP108には入出力ポート（IO）409が設けられ、このIO409が、テストパケットを受け取ったPI403からの指示に応じてTEST2信号をアサートするように動作する。

【0070】

図14は、本実施形態におけるVIプロセッサ110の構成を示す図であり、図5に対応するものである。図5におけるIC506は、TEST3信号を受け取ると、PI503にテストパケットを生成するよう指示するものであったが、図14におけるVI110には入出力ポート（IO）507が設けられ、このIO507が、テストパケットを受け取ったPI503からの指示に応じてTEST3信号をアサートするように動作する。

【0071】

図15は、本実施形態における故障診断処理を示すフローチャートである。このフローチャートに対応するプログラムはHD104に記憶された生後プログラムに含まれ、上述したとおりRAM102にロードされMAIN101におけるCPU201によって実行されるものである。

【0072】

まず、MAINプロセッサ101が自身宛のコマンドパケットをSBO206からシリアルバス100aに送出する（ステップS21）。回路接続に異常がな

ければ、他のプロセッサはいずれも自分自身のチップIDと異なるパケットデータと認識して、そのパケットデータをそのまま次のプロセッサに渡すことになるので、MAINプロセッサ101のSBI207にそのパケットデータが戻ってくるはずである。

【0073】

そこで、送信したパケットデータが正常に戻ってきたか否かを判定し（ステップS22）、正常に戻ってくれば「異常なし」と判定する。一方、正常に戻ってこなかったから、あるいはパケットデータが壊れていた場合は、いずれかのプロセッサが故障しているか、あるいはプロセッサ間を接続するシリアルバスの異常によるものと推測される。この場合にはステップS23以降の処理によって、テストパケットを送出し、それによって各サブプロセッサからテスト信号を発信させることで各プロセッサ及びプロセッサ間の接続のテストを行う。

【0074】

具体的には、まず、MAINプロセッサ101は、図8に示したような構造のテストパケットをシリアルバス112aに送出する（ステップS23）。

【0075】

このテストパケットは、ヘッダーにおいてパケットタイプ=04Hで定義される診断のための特別なパケットである。それぞれのサブプロセッサはこのパケットを受信するとテストモードであることを検出し、テストデータ部が予め記憶しているデータと一致しているかどうかをテストし、テストデータ部が正しく受信できたことが確認できた場合はTEST信号をアサートする動作を行うとともに、テストパケットを次のプロセッサに転送するという動作を行うことになる。

【0076】

したがって、VO106がテストパケットを受信すると、パケットインタープリタPI303はIO308にTEST1信号をアサートするよう指示するとともに、テストパケットをSBO302からそのまま次のIP108に送信する。IP108のPI403は同様にテストパケットを受信すると、IO409にTEST2信号をアサートさせ、テストパケットをSBO402から送信する。同様にVI110でもテストパケットを受信するとPI503はIO507にTE

ST3信号をアサートさせるとともに、SBO502からテストパケットを送信する。

【0077】

MAIN101は、ステップS23でテストパケットを送信したらならば、一定時間待機した後（ステップS24）、入力ポートにおけるTEST1、TEST2、TEST3信号のレベル（状態）を調べることにより、VO106、IP108、VI110がそれぞれ正常にテスト用パケットデータを受信したかどうかを判定することができる。

【0078】

具体的には、ステップS25で、VO106からのTEST1信号がHIか否かを調べる。ここで、TEST1がHIでなければ、VO106の動作または、MAIN101-VO106間の接続に異常があると判断することができる。一方、TEST1がHIであれば、少なくともVO106の動作または、MAIN101-VO106間の接続には異常がないと判断し、ステップS26に進む。

【0079】

ステップS26では、IP108からのTEST2信号がHIか否かを調べる。ここで、TEST2がHIでなければ、IP108の動作または、VO106-IP108間の接続に異常があると判断することができる。一方、TEST2がHIであれば、少なくともIP108の動作または、VO106-IP108間の接続には異常がないと判断し、ステップS27に進む。

【0080】

ステップS27では、VI110からのTEST3信号がHIか否かを調べる。ここで、TEST3がHIでなければ、VI110の動作または、IP108-VI110間の接続に異常があると判断することができる。一方、TEST3がHIであれば、MAIN101の動作または、VI110-MAIN101間の接続に異常があると判断する。

【0081】

このようにして、本実施形態によれば、テストパケットの送出に応じたサブプロセッサからのテスト信号を所定時間内に受信できたかどうかで、故障個所を特

定することができる。

【0082】

上記した実施形態2に係る電子機器の故障診断処理をまとめると、次のようになる。本電子機器は、機器全体を制御するメインプロセッサと特定の機能を実行するためのサブプロセッサとが一方向バスによってループ状に接続された構成を有するとともに、各サブプロセッサからメインプロセッサにテスト信号を伝送するための、一方向バスとは異なる信号線を備えている。そして、故障診断処理としては、まず、メインプロセッサから所定の packets データを前記一方向バスに送出し、その packets データが正常にメインプロセッサに戻ってくるか否かに応じて、この電子機器のいずれかの箇所で故障があるかどうかを判定する。次に、故障があると判定されたときに、一方向バスにテスト用 packets を送信し、そのテスト用 packets に応じてサブプロセッサより対応する信号線を介して伝送されてくるテスト信号の状態に基づいて、この電子機器の故障箇所を特定する。

【0083】

なお、上述の各実施形態では、デジタルカラー複写機を例に説明したが、本発明はこれに限らず、複数のプロセッサが協働して所定の機能を実現する構成を有するさまざまな画像処理装置をはじめ、コンピュータ装置等の電子機器に広く適用することができる。

【0084】

(他の実施形態)

以上、本発明の実施形態を詳述したが、本発明は、複数の機器から構成されるシステムに適用しても良いし、また、一つの機器からなる装置に適用してもよい。また、本発明は、電子機器の故障診断方法として特定することも可能であることとはいうまでもない。

【0085】

なお、本発明は、前述した実施形態の機能を実現するソフトウェアのプログラム（図9または図15に示すフローチャートに対応したプログラム）を、システムあるいは装置に直接あるいは遠隔から供給し、そのシステムあるいは装置のコンピュータがその供給されたプログラムコードを読み出して実行することによっ

ても達成される場合を含む。その場合、プログラムの機能を有していれば、その形態はプログラムである必要はない。

【0086】

従って、本発明の機能処理をコンピュータで実現するために、そのコンピュータにインストールされるプログラムコード自体も本発明を実現するものである。つまり、本発明の特許請求の範囲には、本発明の機能処理を実現するためのコンピュータプログラム自体も含まれる。

【0087】

その場合、プログラムの機能を有していれば、オブジェクトコード、インタプリタにより実行されるプログラム、OSに供給するスクリプトデータ等、プログラムの形態を問わない。

【0088】

プログラムを供給するための記録媒体としては、例えば、フレキシブルディスク、ハードディスク、光ディスク、光磁気ディスク、MO、CD-ROM、CD-R、CD-RW、磁気テープ、不揮発性のメモ리카ード、ROM、DVD（DVD-ROM、DVD-R）などがある。

【0089】

その他、プログラムの供給方法としては、クライアントコンピュータのブラウザを用いてインターネットのホームページに接続し、そのホームページから本発明のコンピュータプログラムそのもの、もしくは圧縮され自動インストール機能を含むファイルをハードディスク等の記録媒体にダウンロードすることによっても供給できる。また、本発明のプログラムを構成するプログラムコードを複数のファイルに分割し、それぞれのファイルを異なるホームページからダウンロードすることによっても実現可能である。つまり、本発明の機能処理をコンピュータで実現するためのプログラムファイルを複数のユーザに対してダウンロードさせるWWWサーバも、本発明のクレームに含まれるものである。

【0090】

また、本発明のプログラムを暗号化してCD-ROM等の記憶媒体に格納してユーザに配布し、所定の条件をクリアしたユーザに対し、インターネットを介し

てホームページから暗号化を解く鍵情報をダウンロードさせ、その鍵情報を使用することにより暗号化されたプログラムを実行してコンピュータにインストールさせて実現することも可能である。

【0 0 9 1】

また、コンピュータが、読み出したプログラムを実行することによって、前述した実施形態の機能が実現される他、そのプログラムの指示に基づき、コンピュータ上で稼動しているOSなどが、実際の処理の一部または全部を行い、その処理によっても前述した実施形態の機能が実現され得る。

【0 0 9 2】

さらに、記録媒体から読み出されたプログラムが、コンピュータに挿入された機能拡張ボードやコンピュータに接続された機能拡張ユニットに備わるメモリに書き込まれた後、そのプログラムの指示に基づき、その機能拡張ボードや機能拡張ユニットに備わるCPUなどが実際の処理の一部または全部を行い、その処理によっても前述した実施形態の機能が実現される。

【0 0 9 3】

【発明の効果】

本発明によれば、複数のプロセッサが一方向バスによってループ状に接続された構成を有する場合にも、容易にその構成の故障個所を特定できる電子機器を提供することができる。

【図面の簡単な説明】

【図 1】

実施形態 1 におけるデジタルカラー複写機の構成を示す図である。

【図 2】

実施形態 1 におけるメインプロセッサの構成を示す図である。

【図 3】

実施形態 1 における画像出力プロセッサの構成を示す図である。

【図 4】

実施形態 1 における画像処理プロセッサの構成を示す図である。

【図 5】

実施形態 1 における画像入力プロセッサの構成を示す図である。

【図 6】

実施形態におけるプロセッサ間のインタフェースの構成を示す図である。

【図 7 A】

実施形態におけるデータパケットの構造例を示す図である。

【図 7 B】

実施形態におけるコマンドパケットの構造例を示す図である。

【図 7 C】

実施形態における割り込みパケットの構造例を示す図である。

【図 8】

実施形態におけるテスト用割り込みパケットの構造例を示す図である。

【図 9】

実施形態 1 における故障診断処理を示すフローチャートである。

【図 1 0】

実施形態 2 におけるデジタルカラー複写機の構成を示す図である。

【図 1 1】

実施形態 2 におけるメインプロセッサの構成を示す図である。

【図 1 2】

実施形態 2 における画像出力プロセッサの構成を示す図である。

【図 1 3】

実施形態 2 における画像処理プロセッサの構成を示す図である。

【図 1 4】

実施形態 2 における画像入力プロセッサの構成を示す図である。

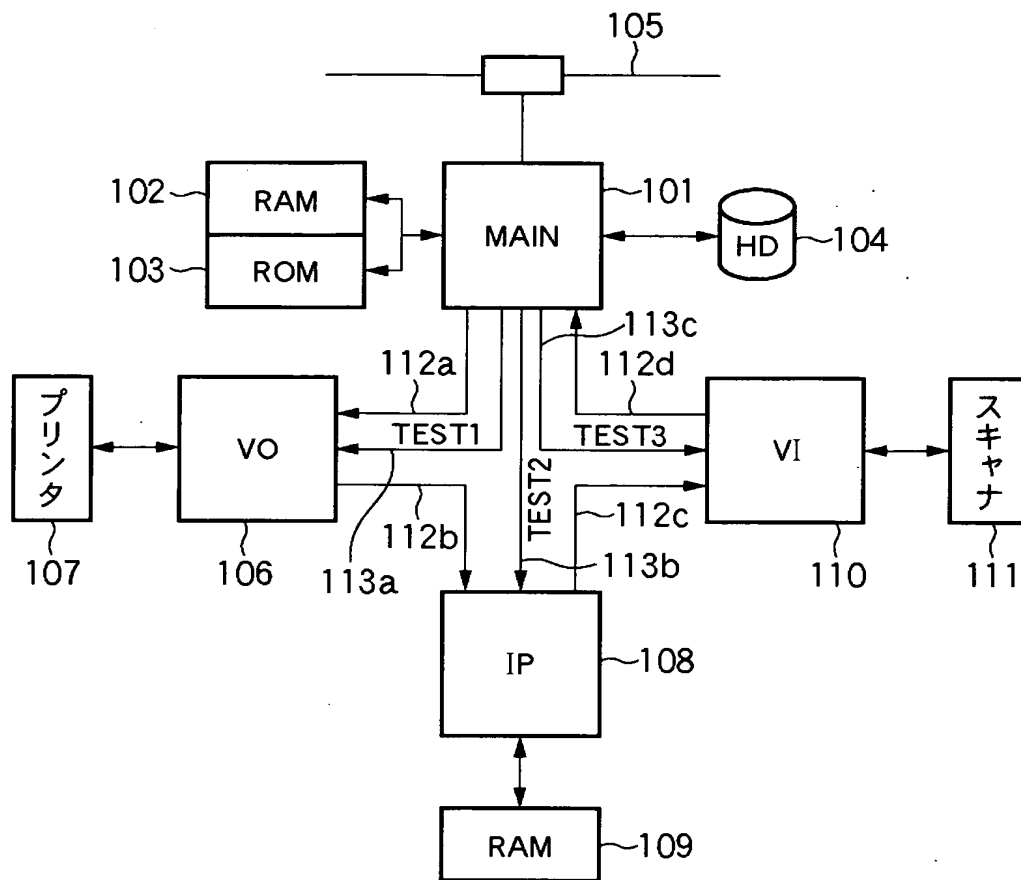
【図 1 5】

実施形態 2 における故障診断処理を示すフローチャートである。

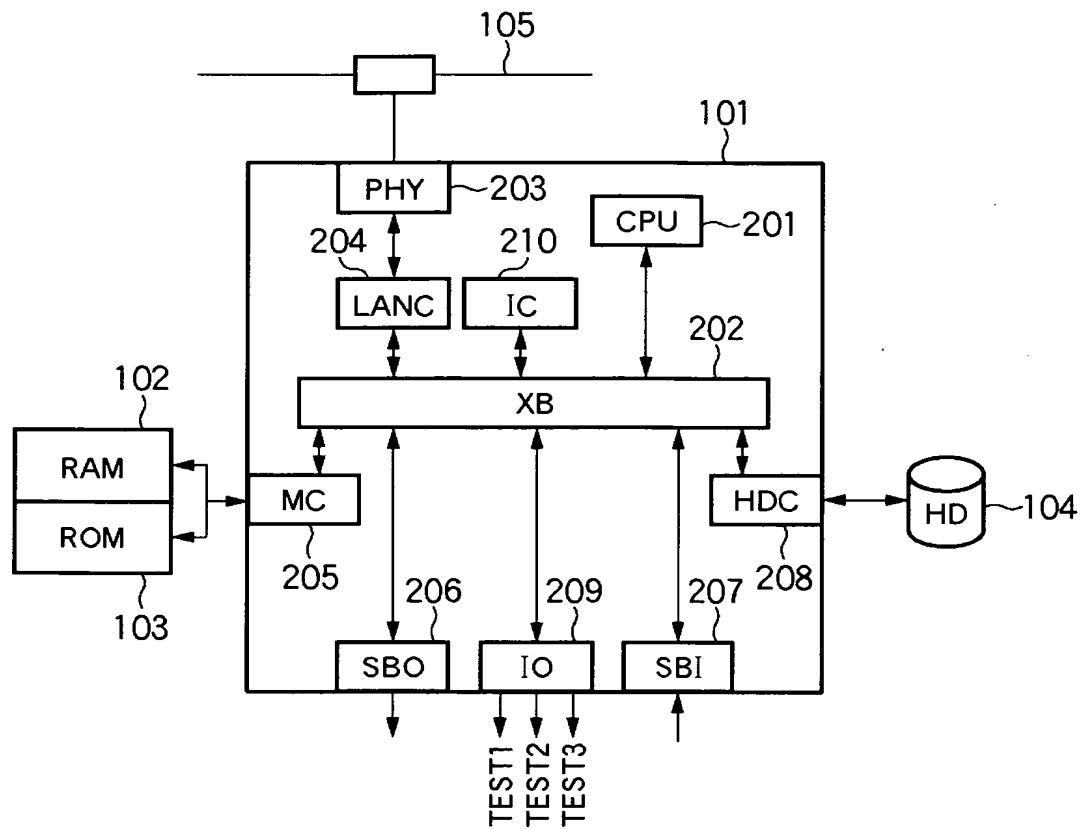
【書類名】

図面

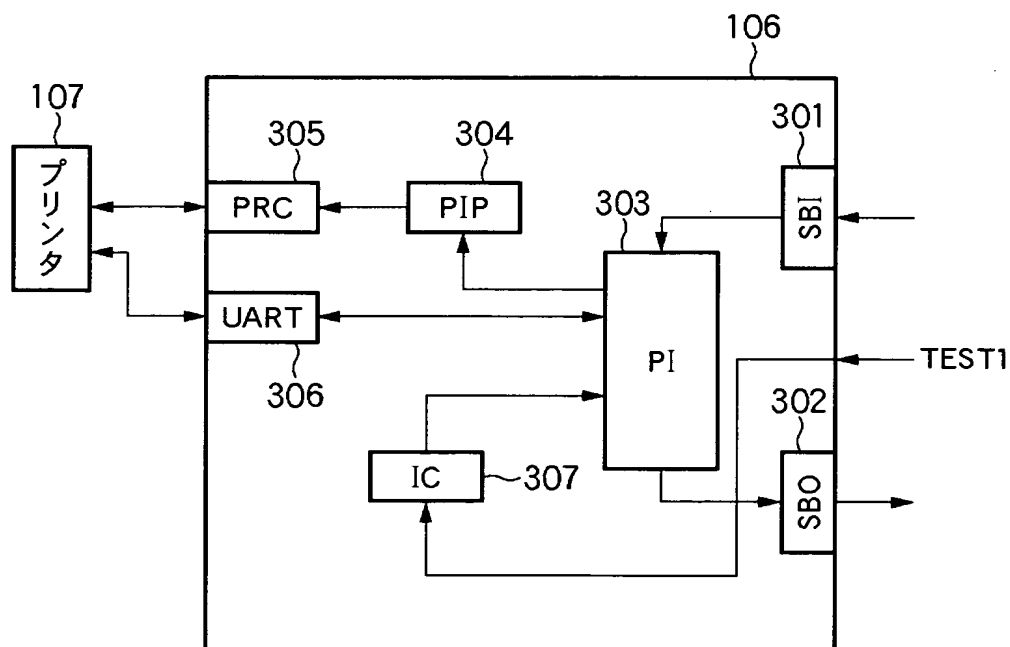
【図 1】



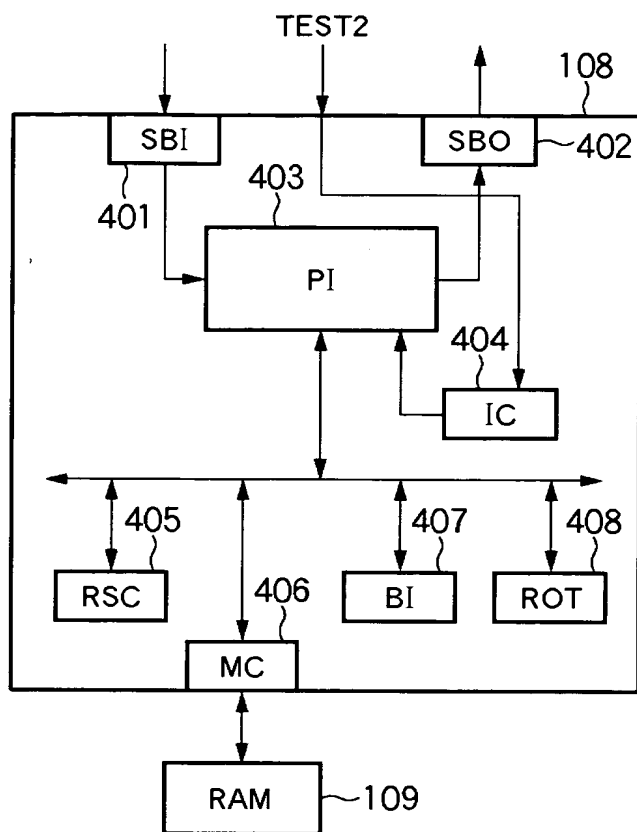
【図 2】



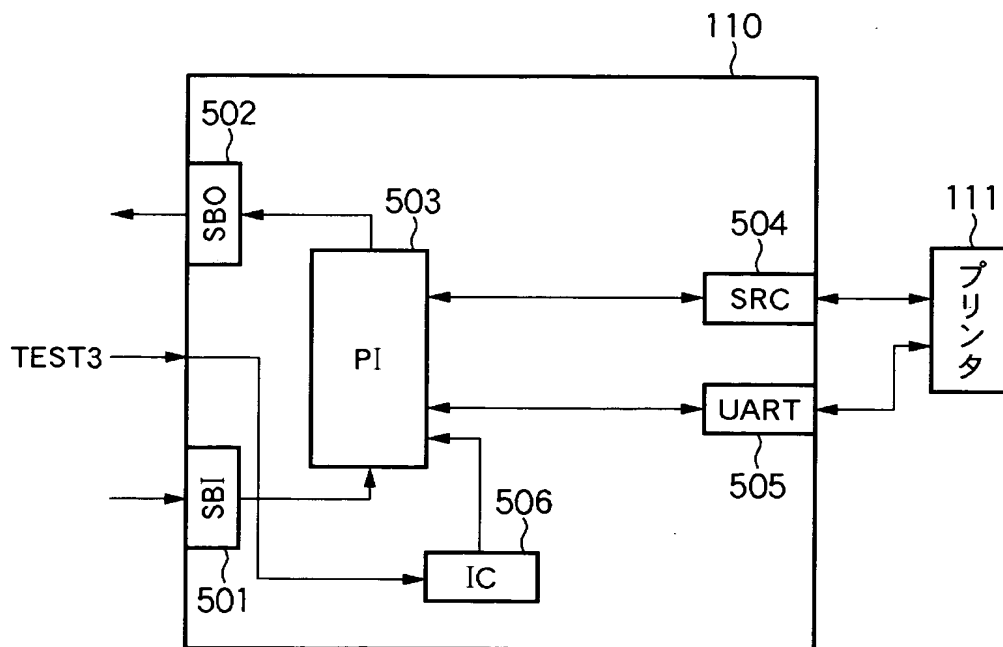
【図 3】



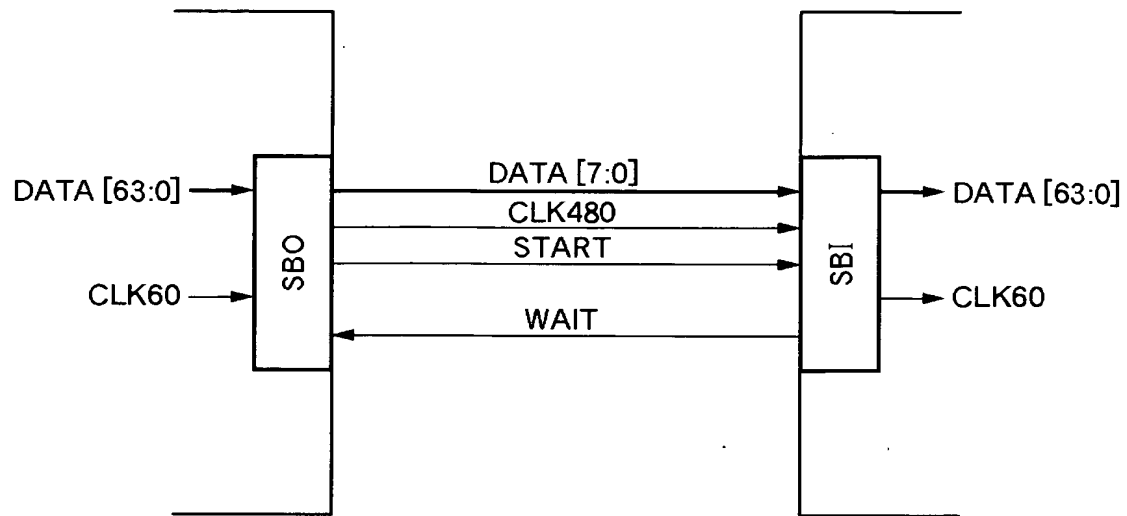
【図 4】



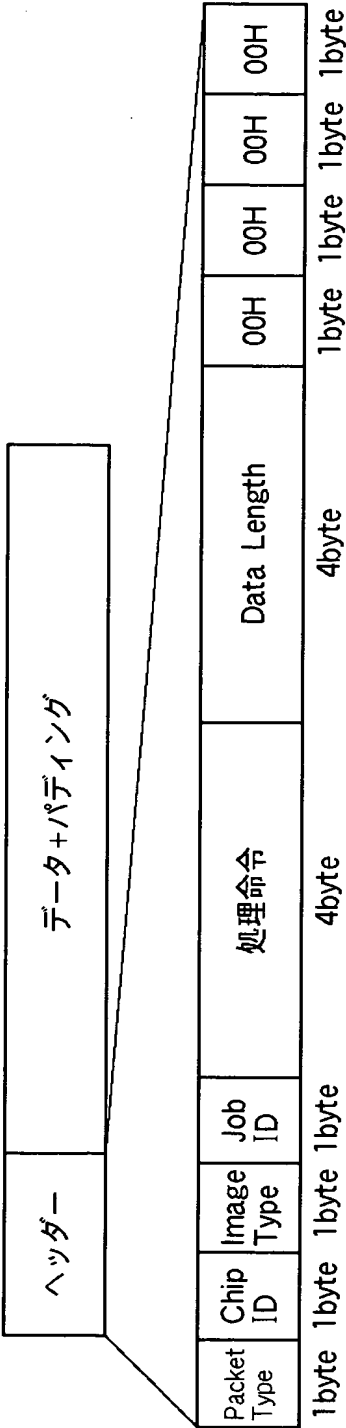
【図 5】



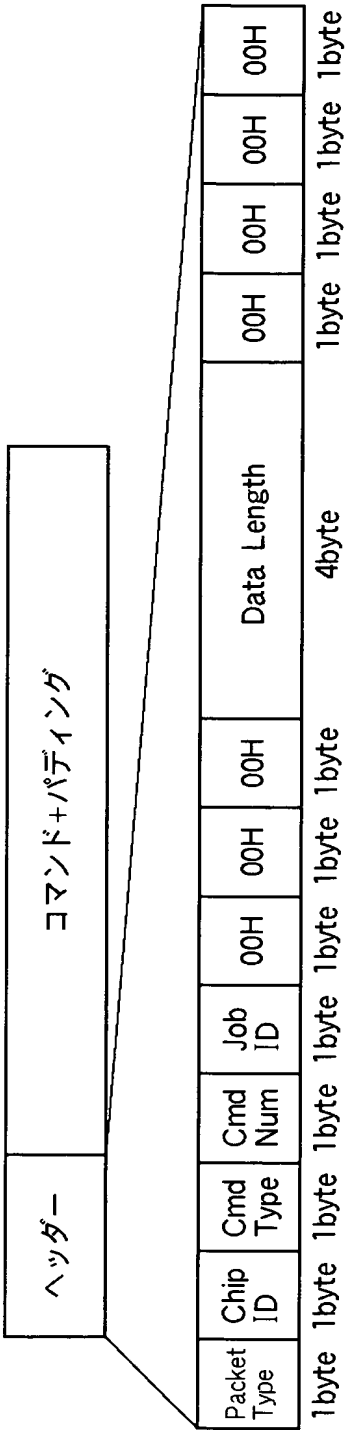
【図 6】



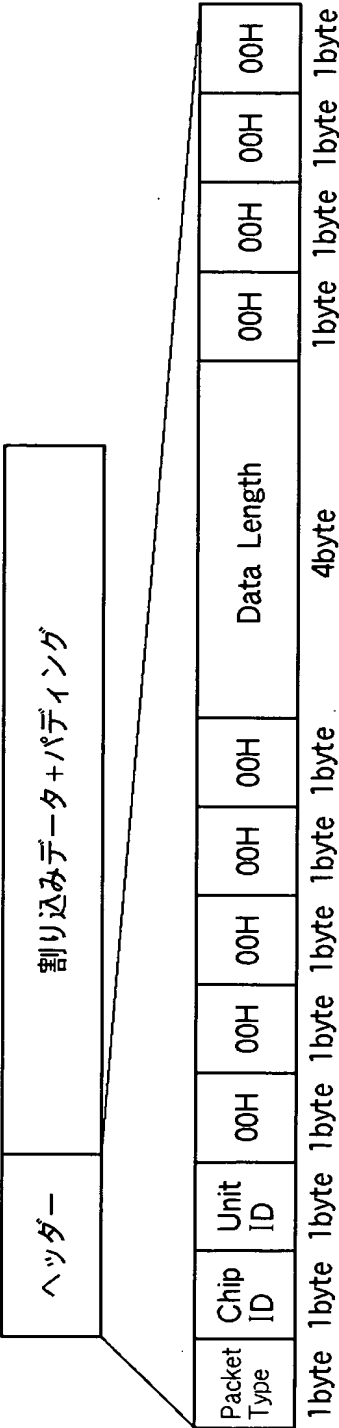
【図 7 A】



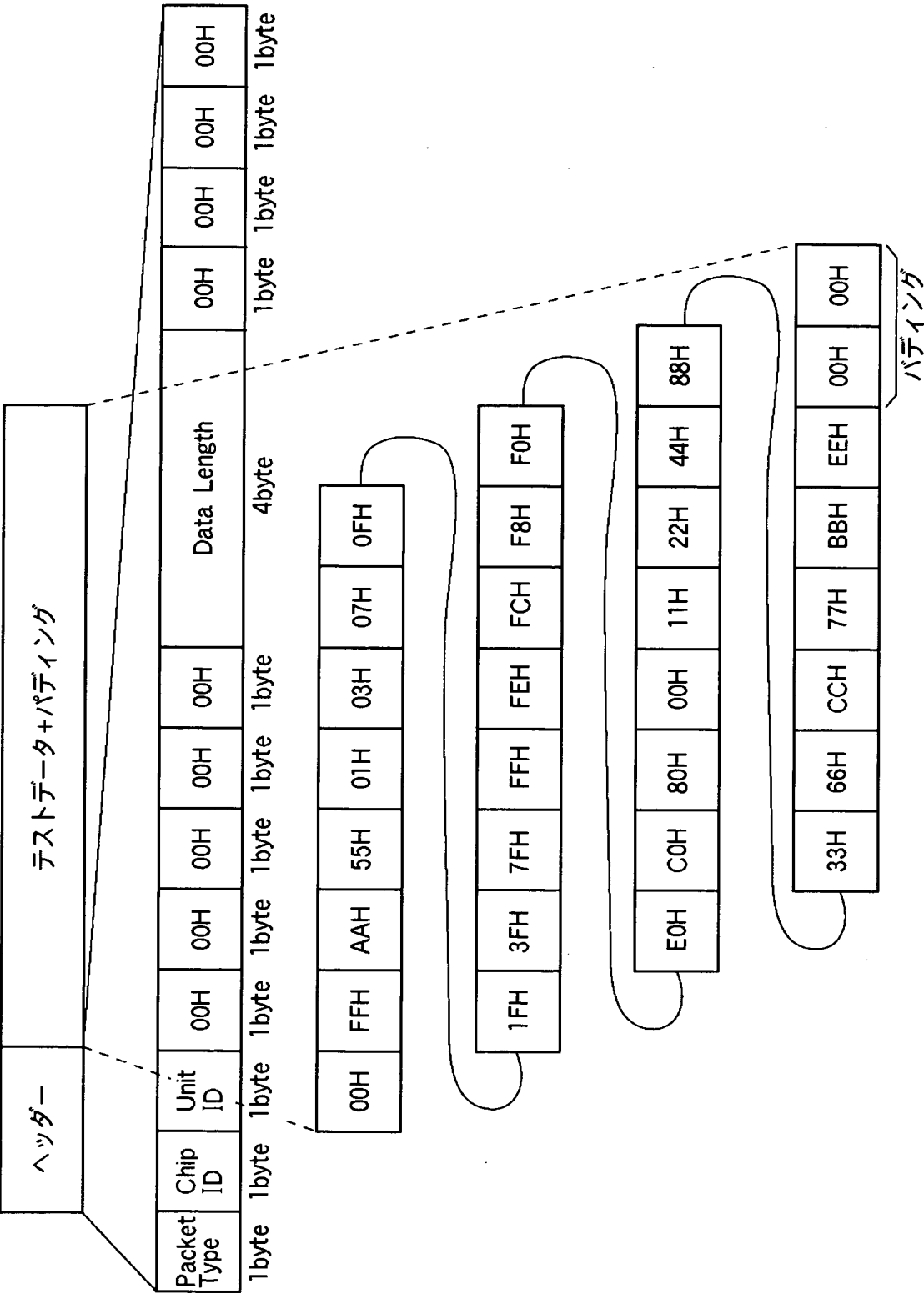
【図 7 B】



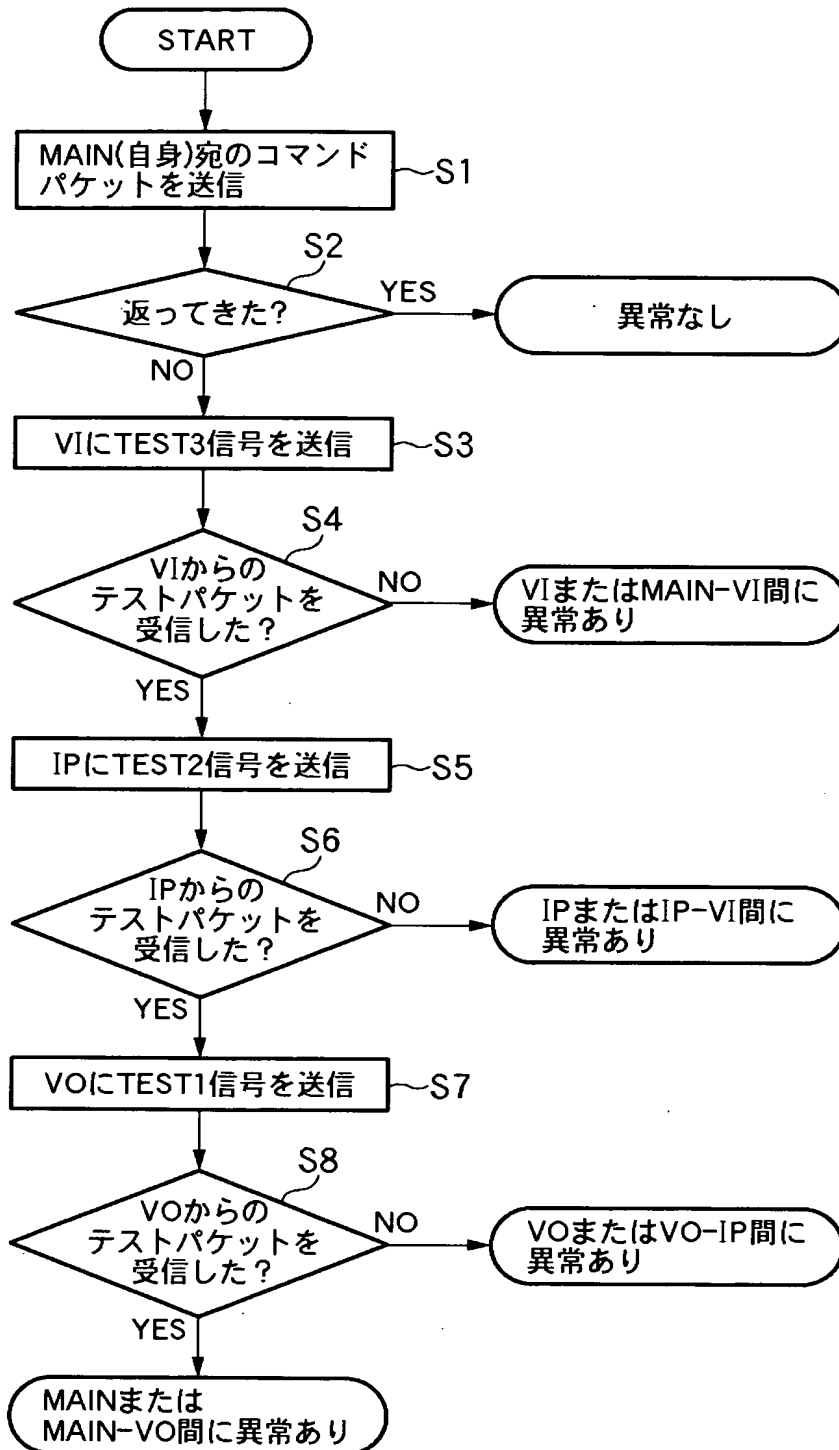
【図 7 C】



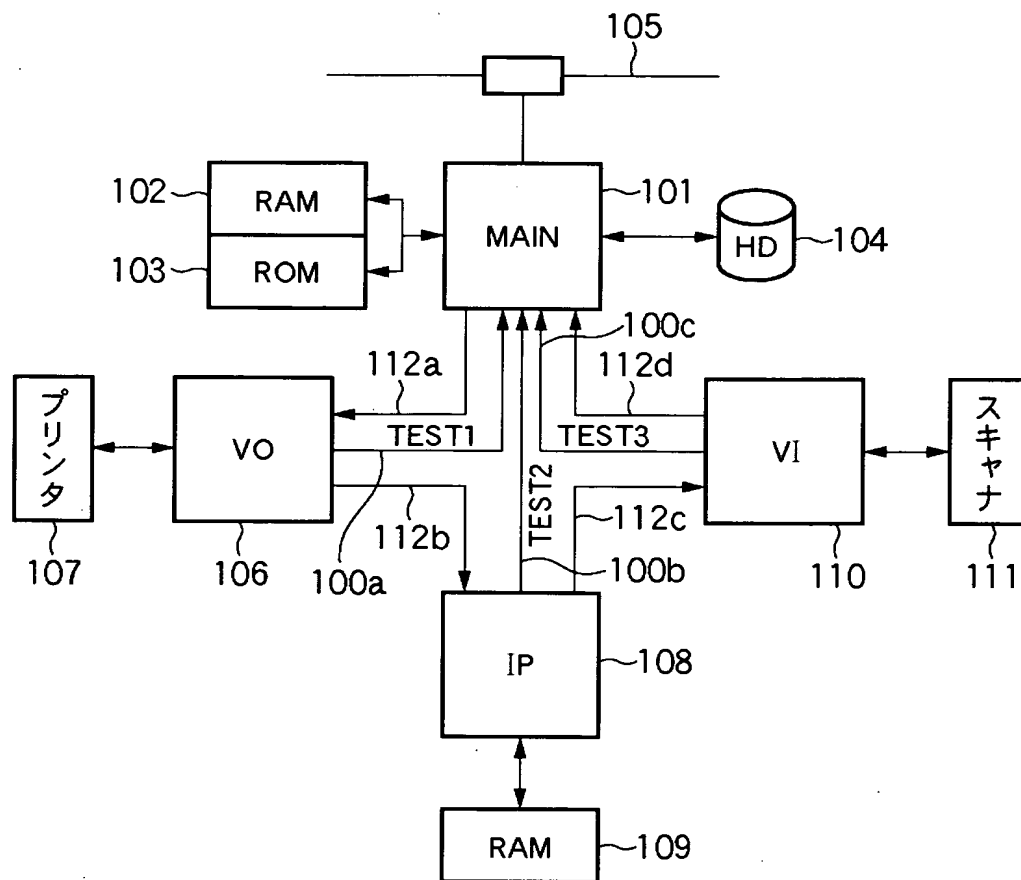
【図 8】



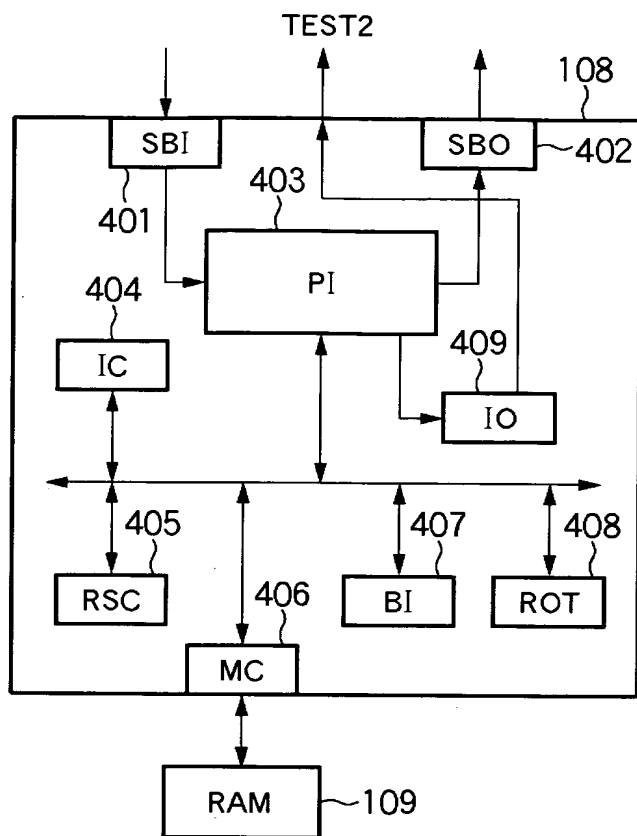
【図 9】



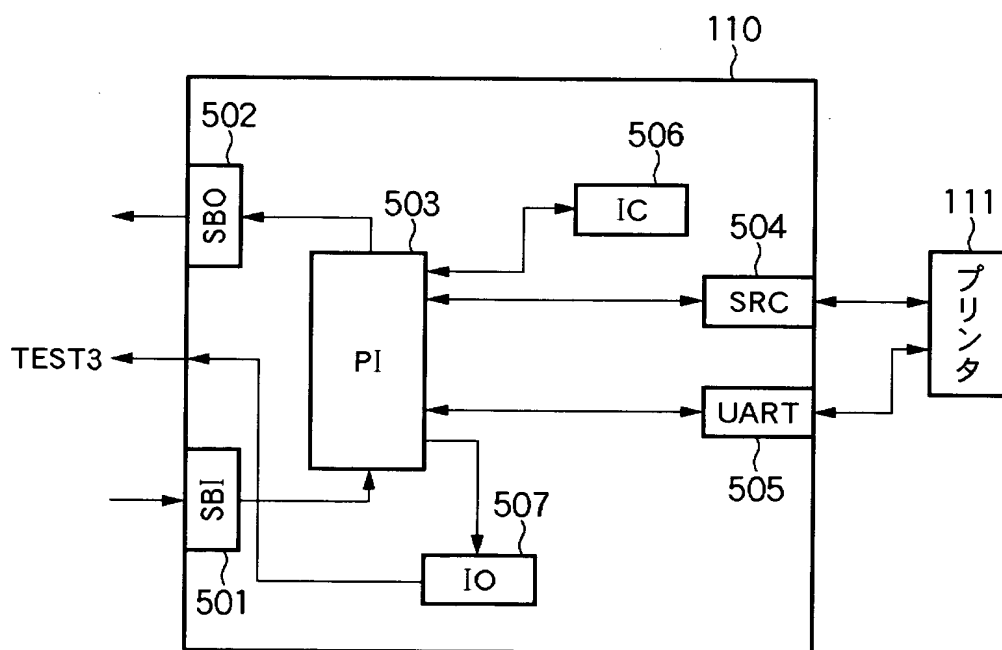
【図 10】



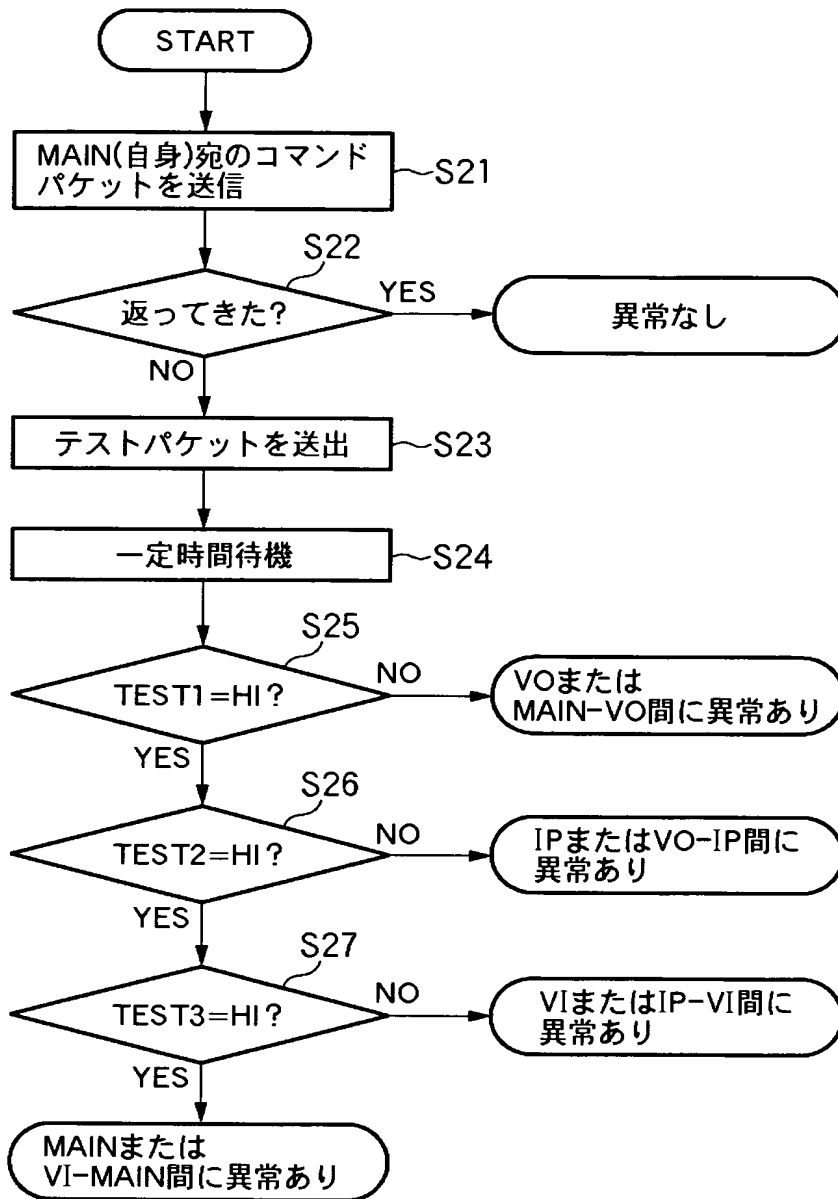
【図 13】



【図 14】



【図 15】



【書類名】 要約書

【要約】

【課題】 複数のプロセッサが一方向バスによってループ状に接続された構成を有する場合にも、容易にその構成の故障個所を特定できるようにすること。

【解決手段】 まず、メインプロセッサ自身宛のコマンドパケットを一方向バスに送出し(S1)、そのコマンドパケットが所定時間内にメインプロセッサに戻ってくるか否かに応じて、この電子機器のいずれかの箇所で故障があるかどうかを判断する(S2)。故障があると判定されたときは、専用の信号線を利用して各サブプロセッサにテスト信号を送信し(S3, S5, S7)、テスト信号の送信先のサブプロセッサからそのテスト信号に応じて一方向バスを介して転送されてくるテストパケットを所定時間内に受信したか否かに基づいて、この電子機器の故障個所を特定する(S4, S6, S8)。

【選択図】 図 9

特願 2 0 0 2 - 3 0 4 4 9 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 1 0 0 7]

1. 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

東京都大田区下丸子 3 丁目 3 0 番 2 号

氏 名

キヤノン株式会社